

32nm CMOS 工艺三点翻转自恢复锁存器设计

黄正峰¹, 潘尚杰¹, 曹剑飞¹, 宋 钛¹, 欧阳一鸣², 梁华国¹, 倪天明³, 鲁迎春¹

1. 合肥工业大学电子科学与应用物理学院, 安徽合肥 230601;
2. 合肥工业大学计算机与信息学院, 安徽合肥 230601;
3. 安徽工程大学电气工程学院, 安徽芜湖 241000)

摘 要: CMOS 工艺的特征尺寸不断缩减, 电荷共享效应诱发的单粒子三点翻转成为研究热点. 本文提出了一种单粒子三点翻转自恢复的抗辐射加固锁存器: Hydra-DICE (Dual Interlocked Storage Cell). 该锁存器基于 24 个同构的交叉耦合单元 (Cross-Coupled Elements, CCE) 排列成阵列结构. 当内部任意三个节点同时发生单粒子翻转时, 该锁存器都可以自行恢复到正确的逻辑值. 与具有等效三点自恢复能力的 TNURL (Triple Node Upset Self-Recoverable Latch) 锁存器相比, 该 Hydra-DICE 锁存器面积开销降低 50%, 延迟降低 48.28%, 功耗降低 25%, 功耗延迟积降低 61.21%. 仿真结果表明, 该加固锁存器在容错性能、面积开销、延迟和功耗方面取得了很好的折中.

关键词: 锁存器; 单粒子翻转; 双模互锁存储单元; 抗辐射加固; 自恢复

中图分类号: TN43 **文献标识码:** A **文章编号:** 0372-2112 (2021)02-0394-07

电子学报 URL: <http://www.ejournal.org.cn> **DOI:** 10.12263/DZXB.20200530

Design of Triple-Node-Upset Self-Recovery Latch in 32nm CMOS Technology

HUANG Zheng-feng¹, PAN Shang-jie¹, CAO Jian-fei¹, SONG Tai¹,
OUYANG Yi-ming², LIANG Hua-guo¹, NI Tian-ming³, LU Ying-chun¹

1. School of Electronic Science & Applied Physics, Hefei University of Technology, Hefei, Anhui 230601, China;
2. School of Computer and Information, Hefei University of Technology, Hefei, Anhui 230601, China;
3. College of Electrical Engineering, Anhui Polytechnic University, Wuhu, Anhui 241000, China)

Abstract: The feature size of CMOS technology is continuously shrinking, and the single event triple-node-upset induced by the charge sharing effect has become a research hotspot. This paper proposed a single event triple-node-upset self-recovery radiation-hardened latch: Hydra-DICE. The latch is arranged in an array structure based on 24 homogeneous cross-coupled elements (CCE). When a single event upset occurs at any three internal nodes concurrently, Hydra-DICE can realize the function of self-recovery to the correct logical value. Compared with the TNURL latch which has the equivalent triple-node-upset self-recovery capability, the Hydra-DICE latch has a 50% reduction in area overhead, a 48.28% reduction in delay, a 25.00% reduction in power consumption, and a 61.21% reduction in power consumption delay product. The simulation results show that the hardened latch has made a good compromise in fault tolerance performance, area overhead, delay and power.

Key words: latch; single event upset; dual interlocked storage cell; radiation-hardened; self-recovery

1 引言

自然空间辐射环境主要是由以高能质子、电子和重离子为代表的高能粒子组成. 它们会在微电子和光子器件中造成严重的影响. 随着集成电路的快速发展, 晶体管特征尺寸不断降低, 电路内部节点电容存储的

电荷急剧下降, 因此 CMOS 电路更加容易受到由高能粒子入射引起的软错误影响^[1,2]. 当电路内部敏感节点被高能粒子轰击时, 其所带电荷被敏感节点收集, 收集的电荷形成一个短暂的电流脉冲, 进而形成的电压脉冲可能会导致节点逻辑值发生翻转, 则称这种现象为单粒子翻转 (Single Event Upset, SEU). SEU 属于软错误,

软错误具有瞬时性和可恢复性的特点,集成电路的软错误不会对集成电路造成物理损坏,但会严重影响电路的正常运行,严重威胁系统的可靠性^[3].

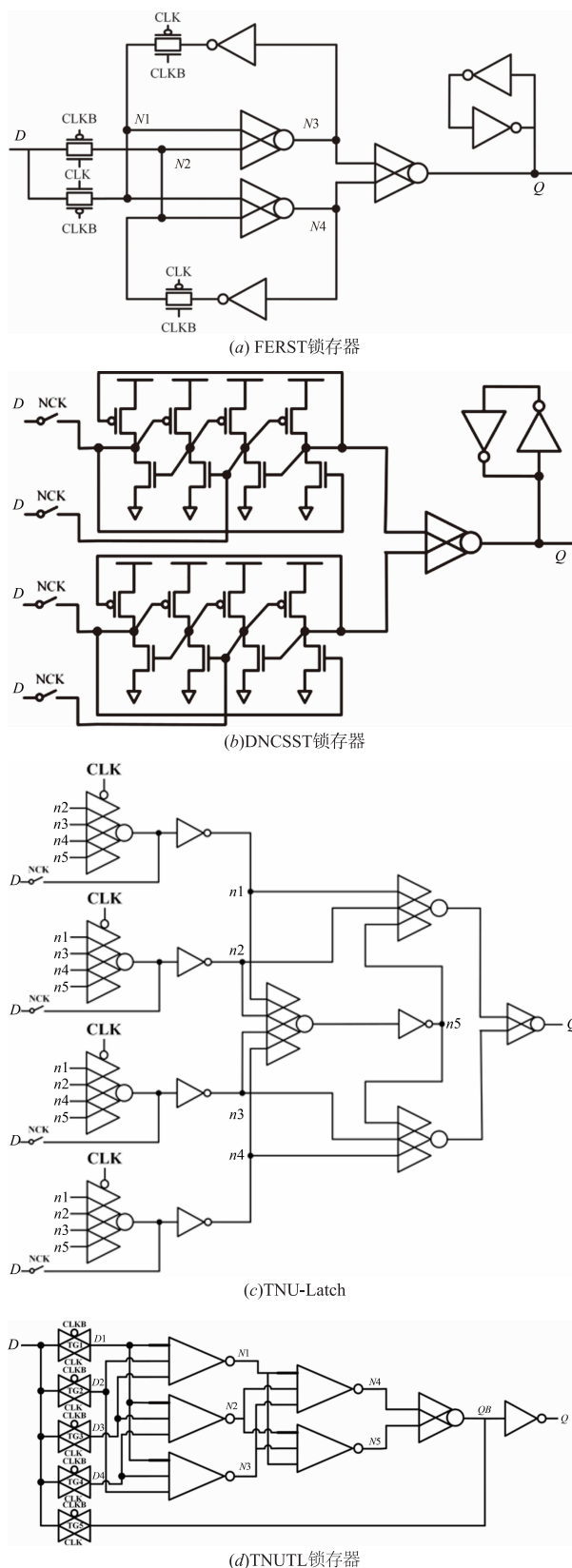
片上系统的密度越来越高,CMOS 工艺特征尺寸不断缩减,便会导致晶体管之间的距离不断缩小.当高能粒子轰击电路时,其携带的电荷可能会被 1 个、2 个甚至 3 个敏感节点收集^[4],导致这几个节点同时发生翻转,称之为单点翻转(Single Node Upset, SNU)、双点翻转(Double Node Upsets, DNUs)和三点翻转(Triple Node Upsets, TNUs)^[5].研究表明,在 32nm CMOS 工艺下,由电荷共享效应引起的单粒子三点翻转已成为日益严重的问题^[6,7].

抗辐射加固设计(Radiation Hardening By Design, RHBD)是能够缓解集成电路中产生软错误的有效方案^[8].其中能够有效缓解 SEU 的一个方案是构建三模冗余(Triple Modular Redundancy, TMR)锁存器^[9],即将 3 个同构的静态锁存器并联,通过多数表决器产生正确的输出,该锁存器可以完全容忍 SNU,但是不能容忍 TNUs.

针对 TNUs 引起的软错误,本文在 DICE^[10]结构的基础上,提出了纳米工艺下新型单粒子三点翻转自恢复锁存器:Hydra-DICE.该锁存器基于 24 个同构的交叉耦合单元(Crossed-Couple Element, CCE),构成阵列结构.在发生 SNU、DNUs、TNUs 时,该锁存器的内部节点和输出节点都具有快速自恢复能力,没有处于高阻态的节点.在 PTM 32 nm 工艺下,利用 Hspice 工具进行大量仿真,结果表明,与具有相同加固性能的 TNURL^[11]锁存器相比,面积开销降低了 50%,延迟降低了 48.28%,功耗降低了 25%,功耗延迟积降低了 61.21%.

2 已有的加固结构

随着 RHBD 技术的不断发展,研究人员提出了一些典型的抗辐射加固结构,如图 1 所示.图 1(a)中的 FERST^[12]锁存器使用 C 单元构建反馈冗余,达到容忍 SNU 的目的;图 1(b)中 DNCSSST^[13]锁存器利用双模冗余的方法容忍 DNUs;图 1(c)所示的 TNU-Latch^[5]通过多个 C 单元反馈连接,实现容忍 TNUs 的功能;图 1(d)中的 TNUTL^[14]锁存器的核心是不规则三输入 C 单元,利用 C 单元的保持机制使锁存器的输出端不受 TNUs 的影响.以上四个结构的共同点是只能容忍 SEU,不能实现内部翻转节点自恢复.图 1(e)所示的 TNURL^[11]锁存器由 C 单元组成的 SIM 单元反馈连接,能够实现 TNUs 自恢复,但是,该锁存器使用了 100 多个晶体管,面积开销和功耗开销巨大.



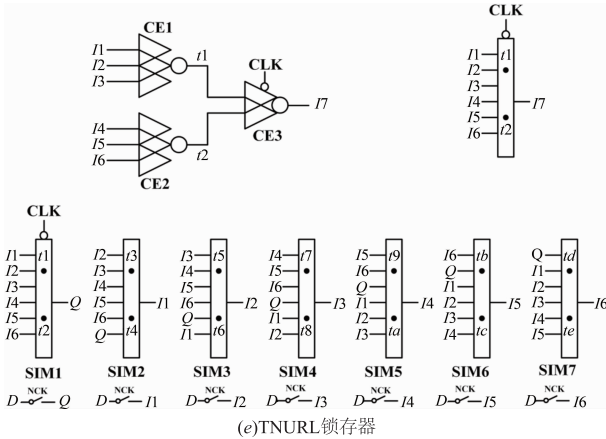


图1 已有的加固结构

3 Hydra-DICE 加固锁存器

本文提出的加固锁存器 Hydra-DICE 是基于 DICE 结构中的交叉耦合单元(CCE)而设计的,因此本节首先介绍 CCE 结构,分析其基本原理,通过 CCE 结构进一步详尽地分析 Hydra-DICE 锁存器的工作原理和容错原理.

3.1 CCE 结构

文献[10]所提出的 DICE 结构是能够实现单点翻转(SNU)自恢复的锁存器设计,如图2所示,DICE 结构由4个相同的 CCE 结构相互连接组成,能够静态存储数据,实现 SNU 自恢复.

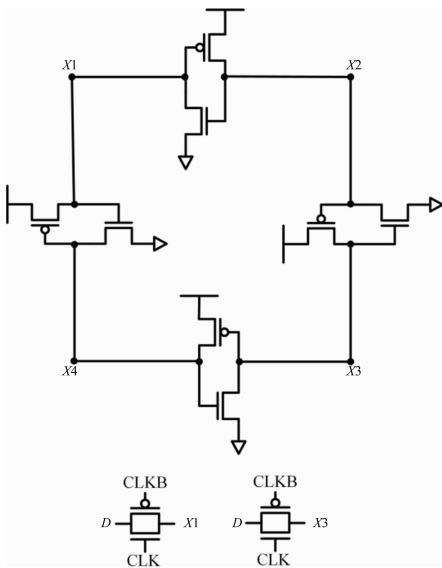


图2 DICE晶体管级结构

本文用图3所示图形代表 CCE 结构.如图,当 CCE 的 A 端为 0 时,PMOS 管导通,此时 B 端为 1,使得 NMOS 管导通,此状态就称之为 CCE 的导通状态.同样,当 CCE 的 B 端为 1,也会使得 CCE 处于导通状态.

当 CCE 的 A 端为 1,同时 B 端为 0,此时 CCE 的两个 MOS 管都处于关断状态,这个状态就称之为 CCE 的关断状态.本文用绿色代表 CCE 的导通状态,红色代表其关断状态.

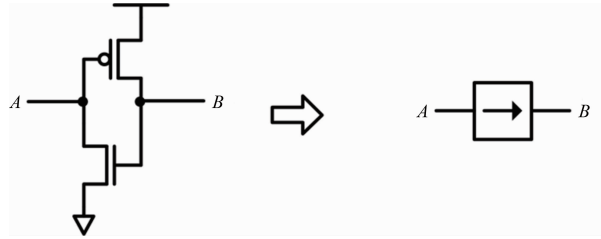


图3 CCE结构图

当 CCE 处于导通状态时,CCE 的 A 端或 B 端发生翻转,此时只会关断 CCE 中的一个 MOS 管,不会影响另一端,反而,发生错误的一端会被另一端恢复正确.所以,处于导通状态的 CCE 是可以容忍其一端发生 SEU,并恢复错误的一端.当 CCE 处于关断状态时,CCE 的 A 端或 B 端发生翻转,会导通其中的一个 MOS 管,另一端随之发生翻转,这样会使 CCE 的两个 MOS 管都导通,使得 CCE 处于导通状态.所以,处于关断状态的 CCE 不能容忍其任何一端发生 SEU.

3.2 所提出的 Hydra-DICE 锁存器

因为现有加固结构很少能实现 TNU 自恢复功能,不能在功耗、延迟等性能方面有良好的折中,本文提出了一种新颖的抗辐射加固锁存器——Hydra-DICE 锁存器,该锁存器的结构如图4所示.输入 D 通过 8 路输入进入锁存器内部,内部节点 N4 作为输出节点 Q.

Hydra-DICE 锁存器的工作原理如下:在 CLK = 1, CLKB = 0 时,8 个传输门同时打开,锁存器工作在透明期.输入 D 上的数据通过 8 个传输门进入到锁存器内部 N2、N4、N5、N7、N10、N12、N13、N15 节点,并通过 N4 节点输出.当 D = 0 时,位于四行的 12 个 CCE 全部导通,位于四列的 12 个 CCE 全部关断,如图5(a)所示;当 D = 1 时,如图5(b)所示,位于四列的 12 个 CCE 全部导通,位于四行的 CCE 全部关断.当 CLK = 0,CLKB = 1 时,8 个传输门关闭,锁存器处于保持期,静态保持数据.

3.3 容错原理及仿真分析

按照锁存器内部同时发生翻转的节点数目,将分别对 SNU、DNU_s、TNU_s 三种故障类型进行分析.实验采用 Hspice 软件进行故障注入分析,仿真环境如下:采用 32nm PTM 工艺,供电电压设置为 0.9V,温度设置为室温 25℃,时钟频率设置为 250MHz,占空比为 50%.

在 SEU 故障注入分析中,本文采用双指数电流源模型^[15]来模拟 SEU 在锁存器中产生的瞬态脉冲,双指数电流源的数学模型为:

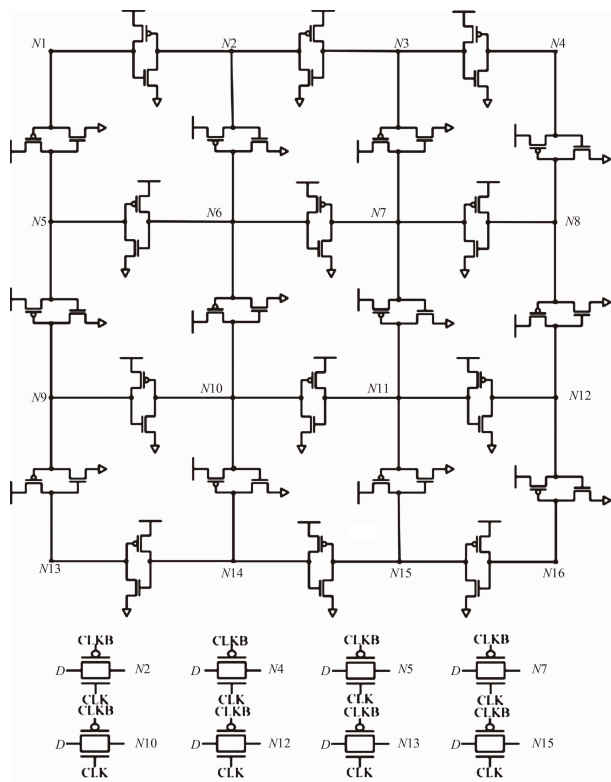


图4 Hydra-DICE锁存器

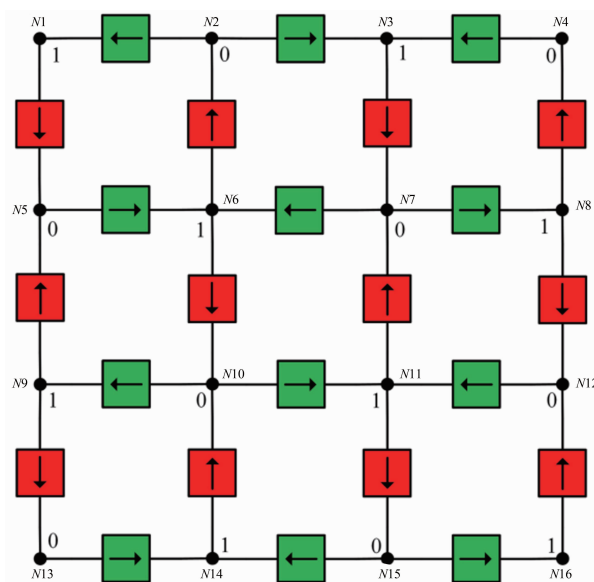
$$I(t) = \frac{Q}{(\tau_2 - \tau_1)} \times (e^{-t/\tau_2} - e^{-t/\tau_1})$$

其中, Q 是高能粒子轰击节点收集的电荷量; τ_2 是电荷聚集时间常数; τ_1 是离子轨迹建立常数, τ_1 和 τ_2 的大小取决于工艺模型。

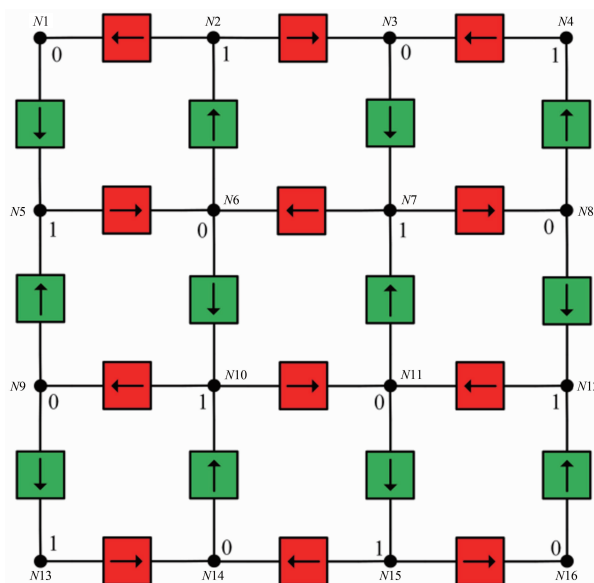
在分析容错原理之前, 先将受到 SEU 影响后锁存器的内部节点分为 3 类: (1) 主翻转节点: 受到高能粒子直接轰击并且发生翻转的内部节点; (2) 次翻转节点: 没有受到高能粒子直接轰击, 但是由于主翻转节点的影响, 间接发生翻转的内部节点; (3) 状态保持节点: 锁存器受到高能粒子轰击后, 没有发生翻转的内部节点。

由于输入数据 D 的不同, 锁存器的工作模式有两种, 本文以 $D=0$ 时锁存器的工作模式对其容错原理进行分析, 如图 5(a) 所示, 此时该锁存器所有列的 CCE 都处于关断状态, 所有行的 CCE 都处于导通状态。 $D=1$ 时的容错原理与之类似, 不再过多赘述。

类型 1 当锁存器受到 SNU 影响时, 电路内部只有 1 个主翻转节点, 假设主翻转节点为 $M1$, 即 $M1$ 由 1 翻转为 0, 这会使得 $M1$ 和 $N5$ 之间的 CCE 导通, 节点 $N5$ 由 0 翻转为 1, 以此类推, 第 1 列 4 个节点都会发生翻转, 第 1 列的 3 个 CCE 由关断状态变为导通状态, 由于 CCE 的特性, 该锁存器另外 3 列 12 个节点不会受到影响, 并且第 1 列发生翻转的节点会被第 2 列状态保持节



(a) $D=0$ Hydra-DICE的工作状态



(b) $D=1$ Hydra-DICE的工作状态

图5 Hydra-DICE锁存器的工作模式

点恢复. 由此得出结论, 主翻转节点发生在某一列时, 会使这一列所有节点都发生翻转, 但是其余列节点的状态保持. 并且, 与翻转节点相邻列的状态保持节点可以恢复翻转节点, 使锁存器回到正确的工作状态. 综上所述, 该锁存器能够容忍 SNU, 如图 6 所示。

类型 2 当锁存器受到 DNU 影响时, 锁存器电路内部有 2 个主翻转节点, 这种类型分为两种情形: (1) 情形 1: 2 个主翻转节点发生在同一列, 根据 CCE 的特性, 此列 4 个节点发生翻转, 其余三列节点状态保持, 此情形与类型 1 相同; (2) 情形 2: 两个主翻转节点发生在不同的两列, 那么这两列的 8 个节点发生翻转, 其余两列节点状态保持. 比如: 主翻转节点发生在第 1 列和第 2 列, 这两列

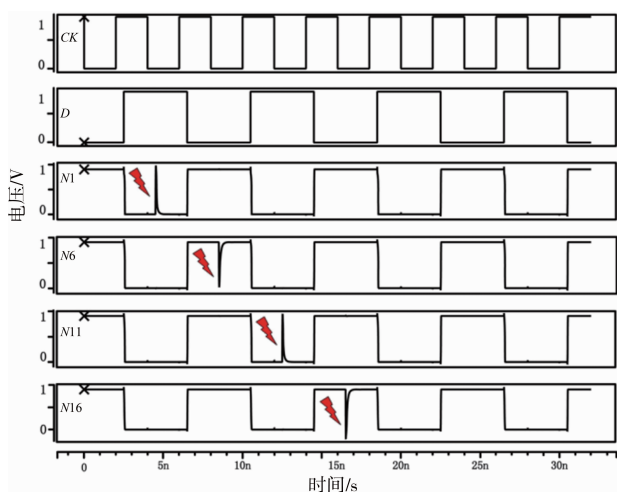


图6 单节点故障注入

节点发生翻转,第3列的状态保持节点先将第2列的翻转节点恢复,然后第2列的节点再将第1列的翻转节点恢复.以此类推,主翻转节点发生在第1列和第3列、第1列和第4列、第2列和第3列、第2列和第4列、第3列和第4列,都可以被其相邻列的状态保持节点所恢复.综上所述,该锁存器可以容忍 DNUs,如图7所示.

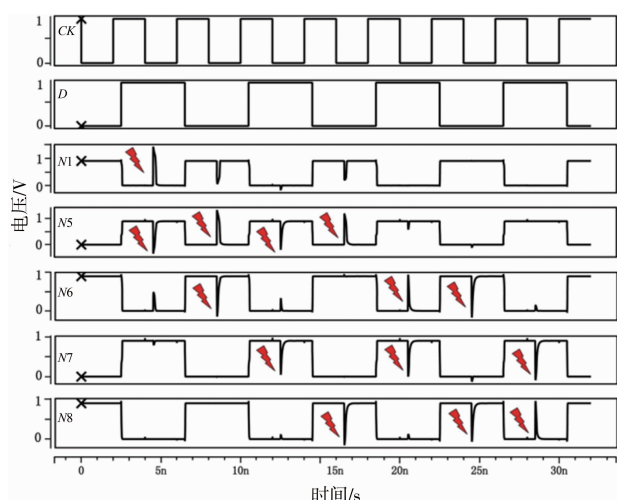


图7 双节点故障注入

类型3 当锁存器受到 TNU_s 影响时,锁存器电路内部有3个主翻转节点,这种类型分为3种情形:(1)情形1:三个主翻转节点发生在同一列,此情形与类型1相同;(2)情形2:三个主翻转节点发生在其中两列,有两个在一列,另外一个在另一列,此情形与类型2中情形二相同;(3)情形3:三个主翻转节点发生在三列,每一列各有一个,这种情形会造成这三列的12个节点发生翻转,剩下一列的状态保持节点将翻转节点恢复.比如:主翻转节点发生在第1列、第2列和第3列,那么这三列所有节点都发生翻转,第4列状态保持节点首先将第3列翻转节点恢复,接着第3列节点将第2列翻转节

点恢复,最后第1列翻转节点被恢复.主翻转节点发生在第1、2、4列和第1、3、4列以及发生在第2、3、4列的分析方法与上述分析方法相同,该锁存器可以恢复到正常的工作状态.综上所述,该锁存器可以容忍 TNU_s,如图8所示.

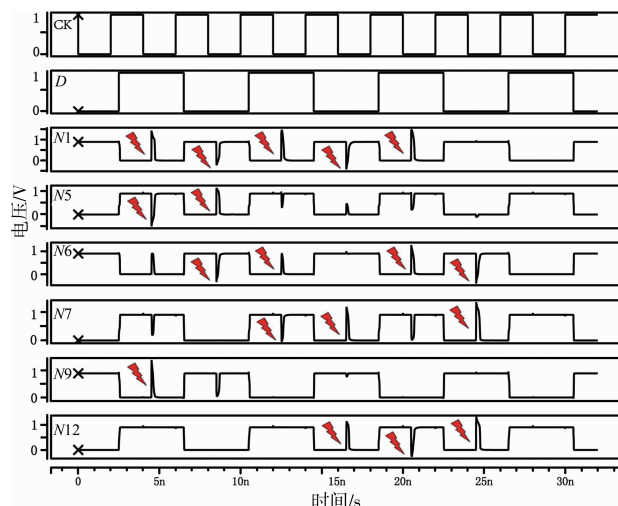


图8 三节点故障注入

4 加固设计的综合比较

本文将 Hydra-DICE 锁存器和 10 种加固锁存器 (DICE^[10]、FERST^[12]、DNCSSST^[13]、TNURL^[11]、TNU-Latch^[5]、TNUTL^[14]、TILL^[16]、LCDNUT^[17]、LCTNUT^[17]、TNUHL^[18])进行了全面的对比,包括单粒子加固能力、性能和面积开销.以上加固锁存器设计的时钟 CLK 的反向信号 CLKB 经反相器产生.

仿真结果如表1、表2和表3所示.其中,延迟是锁存器在透明期时,输入 D 到输出 Q 的延迟.功耗是在同样的输入下,在 32ns 内整个电路产生的平均功耗.

表1 各锁存器加固性能对比

锁存器	容忍 SNU	容忍 DNU _s	容忍 TNU _s	TNU _s 自恢复
DICE ^[10]	是	否	否	否
FERST ^[12]	是	否	否	否
TILL ^[16]	是	否	否	否
DNCSSST ^[13]	是	是	否	否
LCDNUT ^[17]	是	是	否	否
TNUTL ^[14]	是	是	是	否
TNU-Latch ^[5]	是	是	是	否
LCTNUT ^[17]	是	是	是	否
TNUHL ^[18]	是	是	是	否
TNURL ^[11]	是	是	是	是
Hydra-DICE	是	是	是	是

锁存器受到 SEU 影响后,内部翻转节点能否自恢

复是衡量锁存器加固能力的重要指标,由表 1 看出本文所提出的 Hydra-DICE 锁存器不仅可以保证输出 Q 上不受 TNU 的影响,还能自恢复 TNU 所影响的内部翻转节点,使其不会长期处于高阻态,不会受到漏电流的影响.目前只有 TNURL 加固结构能够真正实现 TNU 自恢复,其他的三点翻转加固结构都只是基于 C 单元的三点翻转阻塞,存在输出端高阻态的缺点.

表 2 各锁存器的性能对比

锁存器	晶体管数目	延迟 (ps)	功耗 (μ W)	功耗延迟积 (aJ)
DICE ^[10]	12	4.6	0.3	1.4
FERST ^[12]	28	53.6	0.8	42.9
TILL ^[16]	22	21.3	0.5	10.7
DNCST ^[13]	32	33.1	0.9	29.8
LCDNUT ^[17]	42	1.6	0.7	1.1
TNUTL ^[14]	34	9.1	0.9	8.2
TNU-Latch ^[5]	82	103.7	1.7	176.3
LCTNUT ^[17]	48	4.1	0.7	2.9
TNUHL ^[18]	38	45.9	1.1	50.5
TNURL ^[11]	128	5.8	2.0	11.6
Hydra-DICE	64	3.0	1.5	4.5

本文提出的 Hydra-DICE 锁存器是基于 DICE 结构进行设计,没有使用 C 单元,对比已有的三点翻转加固锁存器可知,该锁存器在延迟开销方面显著降低.由表 2 可以看出,在能够容忍 TNU 的锁存器中,本文提出的锁存器的面积较小,而 TNUTL 是动态锁存器,不能静态存储数据,容易受到漏电流的影响,无法正常工作. TNUHL 和 LCTNUT 结构发生 TNU 时,发生逻辑值翻转的节点会处于高阻态.

为了使对比结果更加直观,使用 $\Delta = (\text{本文提出结构} - \text{对比结构}) / \text{对比结构} \times 100\%$ 和 Δ 平均值 = $(\text{本文提出结构} - \text{对比结构平均值}) / \text{对比结构平均值} \times 100\%$ 来计算性能与开销的相对变化.表 3 中给出了 Hydra-DICE 锁存器和 5 种三点翻转加固锁存器的性能对比.

表 3 各锁存器相对开销对比

锁存器	Δ 晶体管数目	Δ 延迟 (ps)	Δ 功耗 (μ W)	Δ 功耗延迟积 (aJ)
TNUTL ^[14]	88.24%	-67.03%	66.67%	-45.05%
TNU-Latch ^[5]	-21.95%	-97.11%	-11.76%	-97.45%
LCTNUT ^[17]	33.33%	-26.83%	114.29%	56.79%
TNUHL ^[18]	68.42%	-93.46%	36.36%	-91.09%
TNURL ^[11]	-50.00%	-48.28%	-25.00%	-61.21%
平均值	-2.44%	-91.10%	17.19%	-92.78%

功耗延迟积 (Power Delay Product, PDP) 是能够很

好地表现出电路功耗和延迟的特性, PDP 越小, 电路的工作性能就越优良. 如表 3 所示, 与同样具有三点翻转自恢复能力的 TNURL 锁存器相比, Hydra-DICE 锁存器的面积开销降低了 50%, 延迟降低了 48.28%, 功耗降低了 25%, PDP 降低了 61.21%; 与 5 种三点翻转加固锁存器平均值相比面积开销降低了 2.44%, 延迟减小了 91.1%, 功耗增加了 17.19%, PDP 降低了 92.78%. 可以看出 Hydra-DICE 锁存器不仅具有优良的加固能力, 还有优异的工作性能.

5 结论

本文提出了一种新型的三点翻转自恢复锁存器: Hydra-DICE, 该锁存器主要由 24 个交叉耦合单元 (CCE) 组成, 内部状态节点构成 4 行 \times 4 列的阵列结构. 在 PTM 32 nm 工艺下, 使用 Hspice 软件进行仿真分析. 故障注入实验表明, 本文所提出的锁存器不仅能容忍由高能粒子引起的单点翻转、双点翻转和三点翻转, 而且内部翻转节点可以全部自恢复, 不会出现高阻态. 与最新的 TNU 加固锁存器相比, 该锁存器在加固能力、延迟、功耗等性能方面有很好的折中.

参考文献

- [1] Schwank J R, Shaneyfelt M R, Dodd P E. Radiation hardness assurance testing of microelectronic devices and integrated circuits: Radiation environments, physical mechanisms, and foundations for hardness assurance [J]. IEEE Transactions on Nuclear Science, 2013, 60(3): 2074-2100.
- [2] Zick K M, Hayes J P. High-level vulnerability over space and time to insidious soft errors [A]. IEEE International High Level Design Validation and Test Workshop [C]. Nevada, USA: IEEE, 2008. 161-168.
- [3] 宋超. 逻辑电路软错误率评估模型设计与实现 [D]. 长沙: 国防科学技术大学, 2010.
SONG C. Design and implementation of a soft error rate estimation model in logic circuits [D]. Changsha: National University of Defense Technology, 2010. (in Chinese)
- [4] Zhu X, Deng X, Baumann R, et al. A quantitative assessment of charge collection efficiency of N+ and P+ diffusion areas in terrestrial neutron environment [J]. IEEE Transactions on Nuclear Science, 2007, 54(6): 2156-2161.
- [5] Watkins A, Tragoudas S. Radiation hardened latch designs for double and triple node upsets [J]. IEEE Transactions on Emerging Topics in Computing, 2020, 8(3): 616-626.
- [6] Lin S, Kim Y B, Lombardi F. Analysis and design of nanoscale CMOS storage elements for single-event hardening with multiple-node upset [J]. IEEE Transactions on Device and Materials Reliability, 2011, 12(1): 68-77.
- [7] D'Alessio M, Ottavi M, Lombardi F. Design of a nanomet-

- ric CMOS memory cell for hardening to a single event with a multiple-node upset [J]. IEEE Transactions on Device and Materials Reliability, 2012, 14(1): 127 – 132.
- [8] He Q, Yan A, Lai C, et al. Novel low cost and DNU online self-recoverable RHBD latch design for nanoscale CMOS [A]. IEEE International Symposium on Circuits and Systems (ISCAS) [C]. Florence, IT; IEEE, 2018. 1 – 5.
- [9] Mavis D G, Eaton P H. Soft error rate mitigation techniques for modern microcircuits [A]. IEEE International Reliability Physics Symposium Proceedings, 40th Annual (Cat. No. 02CH37320) [C]. Dallas, USA; IEEE, 2002. 216 – 225.
- [10] Calin T, Nicolaidis M, Velazco R. Measurements and analysis of SER-tolerant latch in a 90nm dual-VT CMOS process [J]. IEEE Tran. On Nuclear Science, 1996. 2874 – 2878.
- [11] Yan A, Feng X, Hu Y, et al. Design of a triple-node-upset self-recoverable latch for aerospace applications in harsh radiation environments [J]. IEEE Transactions on Aerospace and Electronic Systems, 2020, 56(2): 1163 – 1171.
- [12] Fazeli M, Miremadi S G, Ejlali A, et al. Low energy single event upset/single event transient-tolerant latch for deep subMicron technologies [J]. IET Computers & Digital Techniques, 2009, 3(3): 289 – 303.
- [13] Katsarou K, Tsiatouhas Y. Double node charge sharing SEU tolerant latch design [A]. IEEE 20th International On-Line Testing Symposium (IOLTS) [C]. Girona, ES; IEEE, 2014. 122 – 127.
- [14] Liu X. Multiple node upset-tolerant latch design [J]. IEEE Transactions on Device and Materials Reliability, 2019, 19(2): 387 – 392.
- [15] Sheshadri V B, Bhuvan B L, Reed R A, et al. Effects of multi-node charge collection in flip-flop designs at advanced technology nodes [A]. IEEE International Reliability Physics Symposium [C]. California, USA; IEEE, 2010. 1026 – 1030.
- [16] Li T, Yang H, Cai G, et al. A CMOS triple inter-locked latch for SEU insensitivity design [J]. IEEE Transactions on Nuclear Science, 2014, 61(6): 3265 – 3273.
- [17] Yan A, Lai C, Zhang Y, et al. Novel low cost, double-and-triple-node-upset-tolerant latch designs for nano-scale CMOS [J]. IEEE Transactions on Emerging Topics in Computing, 2018, PP(99): 1 – 1.
- [18] Kumar C I, Anand B. A highly reliable and energy-efficient triple-node-upset-tolerant latch design [J]. IEEE Transactions on Nuclear Science, 2019, 66(10): 2196 – 2206.

作者简介



黄正峰 男, 1978 年 2 月出生, 安徽无为
人. 2009 年获合肥工业大学计算机应用技术专
业工学博士学位, 现为合肥工业大学微电子学
院教授、博士生导师, 主要研究方向为数字集
成电路的硬件容错、星载 SoC 芯片的抗辐射
加固等.
E-mail: huangzhengfeng@139.com



潘尚杰 男, 1997 年 4 月出生, 安徽繁昌人.
硕士研究生, 主要研究方向为数字集成电路的
硬件容错.
E-mail: psjhfut@163.com



鲁迎春 (通信作者) 男, 1979 年 8 月出生,
安徽桐城人. 2005 年, 获合肥工业大学微电
子学与固体电子学专业硕士学位, 现为合肥
工业大学集成电路与系统专业在读博士研
究生. 合肥工业大学电子科学与应用物理学
院讲师. 主要研究方向: 硬件安全、IC 和
FPGA 应用设计.
E-mail: luyingchun@hfut.edu.cn